

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re the Application of

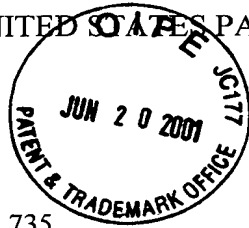
Yojiro MATSUEDA

Application No.: 09/820,735

Filed: March 30, 2001

Docket No.: 109098

For: DISPLAY APPARATUS



CLAIM FOR PRIORITY

Director of the U.S. Patent and Trademark Office
Washington, D.C. 20231

Sir:

The benefit of the filing date of the following prior foreign application filed in the following foreign country is hereby requested for the above-identified patent application and the priority provided in 35 U.S.C. §119 is hereby claimed:

Japanese Patent Application No. 2000-093577, filed March 30, 2000.

In support of this claim, a certified copy of said original foreign application:

 X is filed herewith.

 was filed on in Parent Application No. filed .

 will be filed at a later date.

It is requested that the file of this application be marked to indicate that the requirements of 35 U.S.C. §119 have been fulfilled and that the Patent and Trademark Office kindly acknowledge receipt of this document.

Respectfully submitted,

A handwritten signature in black ink, appearing to be "James A. Oliff".

James A. Oliff
Registration No. 27,075

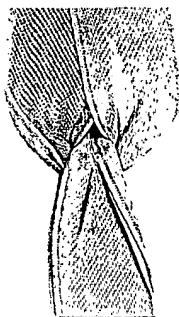
Eric D. Morehouse
Registration No. 38,565

JAO:EDM/gam

Date: June 20, 2001

OLIFF & BERRIDGE, PLC
P.O. Box 19928
Alexandria, Virginia 22320
Telephone: (703) 836-6400

<p>DEPOSIT ACCOUNT USE AUTHORIZATION Please grant any extension necessary for entry; Charge any fee due to our Deposit Account No. 15-0461</p>



本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2000年 3月30日

出 願 番 号

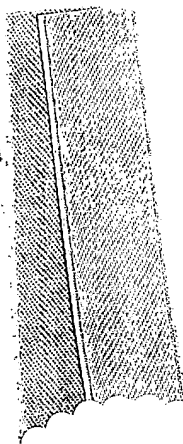
Application Number:

特願2000-093577

出 願 人

Applicant(s):

セイコーエプソン株式会社

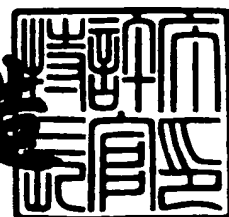


CERTIFIED COPY OF
PRIORITY DOCUMENT

2001年 4月20日

特 許 庁 長 官
Commissioner,
Japan Patent Office

及 川 耕 造



出証番号 出証特2001-3032334

【書類名】 特許願

【整理番号】 J0076410

【提出日】 平成12年 3月30日

【あて先】 特許庁長官殿

【国際特許分類】 G09F 9/00
G09F 9/35

【発明者】

【住所又は居所】 長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内

【氏名】 松枝 洋二郎

【特許出願人】

【識別番号】 000002369

【氏名又は名称】 セイコーエプソン株式会社

【代理人】

【識別番号】 100061273

【弁理士】

【氏名又は名称】 佐々木 宗治

【電話番号】 03(3580)1936

【選任した代理人】

【識別番号】 100085198

【弁理士】

【氏名又は名称】 小林 久夫

【選任した代理人】

【識別番号】 100060737

【弁理士】

【氏名又は名称】 木村 三朗

【選任した代理人】

【識別番号】 100070563

【弁理士】

【氏名又は名称】 大村 昇

【手数料の表示】

【予納台帳番号】 008626

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 表示装置

【特許請求の範囲】

【請求項 1】 表示の最小単位であるドットのアレイパターンに対応させて配線した複数のライト線及び複数のデータ線のうち、接続された前記ライト線及び前記データ線の駆動により 2 値のデータ信号である画像信号を記憶する記憶回路と、

供給される電流量に応じて発光する電流駆動型発光素子と、

前記記憶回路と前記電流駆動型発光素子との間に接続され、供給される電力に応じた電流量を、前記記憶回路に記憶された画像信号の値に基づいて供給し、接続された前記電流駆動型発光素子の発光を制御する表示制御部とを組として、

2^n 階調表現するために同一形状の n 組を、前記ドットのアレイパターン内に設け、前記記憶回路が記憶する画像信号が示す桁の値に応じた電力を前記各組に供給することを特徴とする表示装置。

【請求項 2】 前記各電流駆動型発光素子を EL 素子で構成することを特徴とする請求項 1 記載の表示装置。

【請求項 3】 前記各記憶回路及び前記各表示制御部を多結晶シリコン TFT で形成することを特徴とする請求項 1 又は 2 記載の表示装置。

【請求項 4】 表示の最小単位であるドットのアレイパターンに対応させて複数のライト線及び複数のデータ線並びに電力供給線が配線され、前記ライト線からライト信号が送信され、かつ前記データ線から前記画像信号が送信されると、その画像信号を記憶する記憶回路及び前記電力供給線から供給される電力に基づいた電流を、前記画像信号に基づいて電流駆動型発光素子に供給する表示制御回路の組を、 2^n 階調表現するために同一形状の組を n 組分、各ドットアレイパターン内に設けた表示駆動部と、

前記ライト線にライト信号を送信する行を選択する行デコーダ部と、

前記記憶回路が記憶を保持するための電力を供給し、該行デコーダ部が選択した前記ライト線にライト信号を送信するワード線ドライバ部と、

前記データ線を選択する列デコーダ部と、

該列デコーダ部が選択した前記データ線に、表示を制御するためのデータ信号である画像信号を送信する列選択スイッチ部と
を半導体又は絶縁体の基板上に集積し、一体形成したことを特徴とする表示装置

【請求項 5】 前記各電流駆動型発光素子を有機 EL 素子で構成することを特徴とする請求項 1 又は 4 記載の表示装置。

【請求項 6】 前記記憶回路をスタティックな回路で構成することを特徴とする請求項 1 又は 4 記載の表示装置。

【請求項 7】 前記スタティックな回路を CMOS クロックドゲートを用いたラッチ回路で構成することを特徴とする請求項 6 記載の表示装置。

【請求項 8】 γ 補正に基づいて前記各組に電力を供給することを特徴とする請求項 1 又は 4 記載の表示装置。

【請求項 9】 前記ドットのアレイパターンに対応させて複数のリード線をさらに配線し、リード信号が送信されると、前記記憶回路に記憶している前記画像信号が読み出されることを特徴とする請求項 1、4 又は 6 記載の表示装置。

【請求項 10】 前記電力を外部の電源で制御して供給することを特徴とする請求項 1 又は 4 記載の表示装置。

【請求項 11】 前記ワード線ドライバ部及び前記行デコーダ部は、前記表示駆動部の列方向の長さに対応して割り付けられ、また、前記列デコーダ部及び前記列選択スイッチ部は、前記表示駆動部の行方向の長さに対応して割り付けられることを特徴とする請求項 4 記載の表示装置。

【請求項 12】 前記列選択スイッチ部を構成する各列選択スイッチは、前記ドットのアレイパターンの幅に対応して割り付けられることを特徴とする請求項 4 記載の表示装置。

【請求項 13】 前記画像信号を記憶させる前記記憶回路を示すアドレス信号に基づいて、前記行デコーダ部は前記ライト信号を送信する行を選択することを特徴とする請求項 4 記載の表示装置。

【請求項 14】 前記列デコーダ部は、前記アドレス信号に基づいて、前記

データ線を選択することを特徴とする請求項13記載の表示装置。

【請求項15】 光源色である赤、青及び緑を発色表示させるために設けられた3ドットを1画素とし、前記画像信号は1画素単位で入力され、また、前記列デコーダ部は、1画素分の前記画像信号を記憶させるためのデータ線を選択することを特徴とする請求項14記載の表示装置。

【請求項16】 光源色である赤、青及び緑を発色表示させるために設けられた3ドットを1画素とし、前記画像信号は複数画素単位で入力され、また、前記列デコーダ部は、複数画素分の前記画像信号を記憶させるためのデータ線を選択することを特徴とする請求項14記載の表示装置。

【請求項17】 前記電力供給線に供給する電力を制御するためのアナログ電源制御回路をさらに前記基板上に集積し、一体形成することを特徴とする請求項4記載の表示装置。

【請求項18】 少なくとも前記アドレス信号を送信するタイミングを制御するタイミングコントローラ部と、

前記画像信号の送信を制御するメモリコントローラ部と
をさらに前記基板上に集積し、一体形成することを特徴とする請求項4記載の表示装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は表示装置に関するものである。特に有機ELディスプレイ（OELD：Organic Electro Luminescent Display）に関するものである。

【0002】

【従来の技術】

最近、液晶を用いた表示装置（以下、ディスプレイという）がかなりの勢いで普及しつつある。このタイプのディスプレイは、CRTのディスプレイに比べて低消費電力で省スペースである。したがって、このようなディスプレイの利点を活かし、より低消費電力で、より省スペースのディスプレイを作成することが重要となる。

【0003】

また、このようなタイプの表示装置に、液晶ではなく電流駆動型発光素子を用いて表示を行うものがある。この電流駆動型発光素子は、液晶とは異なり、電流が供給されると発光する自発光素子である。この電流駆動型発光素子は高精細表示等を図ることができる。しかもバックライト不要であり、低電力化、高視野角、高コントラスト比等を図ることができる。このような電流駆動型発光素子の中でもE L素子 (ElectroLuminescent devices) は、大型ガラス基板上で作成でき、薄型大面積化、大容量化 (ドットマトリクスの高精細化)、フルカラー化を図ることができるので、ディスプレイには特に適している。

【0004】

このE L素子の中でも、O E L素子は、さらに材料が安価であり、研究開発により電気光学的変換効率が高められ、さらなる低電力化が図れる点で注目されている。このO E L素子とは、有機E L素子 (Organic ElectroLuminescent devices) のことである。また、材料を分子設計することにより、様々な光学特性 (色度、分光特性、輝度等) を実現できる。

【0005】

図8は、O E L素子を用いて表示を行う場合の各ドットの等価回路を表す図である。ここで、1ドットとは表示を行うための最小単位である1つの点を表すものとする。そして、カラーディスプレイの場合は光源色であるR (Red)、G (Green) 及びB (Blue) の3ドット (サブ画素ともいう) を1画素というものとする。モノクロディスプレイの場合は1画素=1ドットである。

【0006】

図において、101A、101B、101C及び101Dは、記憶回路 (メモリセル) である。各記憶回路は、1トランジスタ、1キャパシタで構成されるダイナミックな記憶回路である。また、102A、102B、102C、102Dは、スイッチング動作によって、それぞれO E L素子部103A、103B、103C、103Dに電流を供給するアクティブ素子部である。O E L素子部103A、103B、103C、103Dには、それぞれ1つ、2つ、4つ、8つの同面積のO E L素子が接続されている。そして、これらは、図に示すようにそれ

ぞれ組を成して構成され、同じ電力供給線VOELに接続されている。

【0007】

次に、各ドットにおいて階調表現をする手順について説明する。各データ線d0、d1、d2、d3から入力される画像信号の値がそれぞれ1、0、0、1であるものとする。その場合、記憶回路101A及び101Dに“1”が記憶され、記憶回路101B及び101Cに“0”が記憶される。これにより、スイッチがONとなり、OEL素子に電流を供給するのは、アクティブ素子部102A及び102Dである。したがって、OEL素子部103Aの8つのOEL素子とOEL素子部103Dの1つのOEL素子が発光する。

【0008】

【発明が解決しようとする課題】

上記のような階調表現を行おうとすると、階調数-1だけOEL素子を必要とし、各画像信号により示される値を線形的に明るさ（輝度）として表すには、それぞれに接続されたOEL素子を発光させなければならない。ここで、各記憶回路に接続されているOEL素子数は同じではない。そのため、各々の組におけるOEL素子の配置は異なるし、全体として形状も異なる。したがって各ドットのレイアウト等の構造は複雑になる。しかも、階調-1の数だけOEL素子を必要とするので、階調が多くなればなるほどますます構造が複雑になる。

【0009】

そこで、本発明では、各ドット毎の構造を簡単にできるような表示装置を提供することを課題とする。その上で、システム全体として省スペース化、低電力化を図れる表示装置を提供できるようにする。

【0010】

【課題を解決するための手段】

上記のような課題を解決するために、本出願に係る表示装置は、表示の最小単位であるドットのアレイパターンに対応させて配線した複数のライト線及び複数のデータ線のうち、接続されたライト線及びデータ線の駆動により2値のデータ信号である画像信号を記憶する記憶回路と、供給される電流量に応じて発光する電流駆動型発光素子と、記憶回路と電流駆動型発光素子との間に接続され、供給

される電力に応じた電流量を、記憶回路に記憶された画像信号の値に基づいて供給し、接続された E L 素子の発光を制御する表示制御部とを組として、 2^n 階調表現するために同一形状の n 組を、ドットのアレイパターン内に設け、記憶回路が記憶する画像信号が示す桁の値に応じた電力を各組に供給するものである。

この表示装置においては、表示の最小単位であるドットのアレイパターンに対応させて複数のライト線及び複数のデータ線を配線する。接続されたライト線及びデータ線の駆動により画像信号を記憶する記憶回路、供給される電流量に応じて発光する電流駆動型発光素子及び供給される電力に応じた電流量を電流駆動型発光素子に供給する表示制御部の組を n 組、そのドットアレイパターン内に設ける。各組はコスト、占有面積等の関係から同一形状とする。そして、各組には、記憶回路が記憶する画像信号が示す桁の値に応じた電力を供給して明るさ（輝度）の調整を行う。

【 0 0 1 1 】

また、本出願の表示装置は、各電流駆動型発光素子を E L 素子で構成する。

この表示装置においては、薄型化、高精細、低消費電力等の特徴を持つ、電流駆動型発光素子の一種である E L 素子で表示させるようにする。

【 0 0 1 2 】

また、本出願の表示装置では、各記憶回路及び各表示制御部を多結晶シリコン T F T で形成する。

この表示装置においては、透明な絶縁基板であり、安価な多結晶シリコン T F T に記憶回路及び表示制御部を形成することで、例えば E L 素子が発光した光を基板を透過させて取り出す。

【 0 0 1 3 】

また、本出願の表示装置は、表示の最小単位であるドットのアレイパターンに対応させて複数のライト線及び複数のデータ線並びに電力供給線が配線され、ライト線からライト信号が送信され、かつデータ線から画像信号が送信されると、その画像信号を記憶する記憶回路及び電力供給線から供給される電力に基づいた電流を、画像信号に基づいて電流駆動型発光素子に供給する表示制御回路の組を、 2^n 階調表現するために同一形状の組を n 組分、各ドットアレイパターン内に

設けた表示駆動部と、ライト線にライト信号を送信する行を選択する行デコーダ部と、記憶回路が記憶を保持するための電力を供給し、行デコーダ部が選択したライト線にライト信号を送信するワード線ドライバ部と、データ線を選択する列デコーダ部と、列デコーダ部が選択したデータ線に、表示を制御するためのデータ信号である画像信号を送信する列選択スイッチ部とを半導体又は絶縁体の基板上に集積し、一体形成したものである。

この表示装置においては、表示の最小単位であるドットのアレイパターンに対応させて複数のライト線及び複数のデータ線を配線し接続されたライト線及びデータ線の駆動により画像信号を記憶する記憶回路及び供給される電力に応じた電流量を電流駆動型発光素子に供給する表示制御部の組を n 組、そのドットアレイパターン内に設けた表示駆動部と、ライト線にライト信号を送信する行を選択する行デコーダ部と、実際にライト信号を送信し、また表示駆動部の記憶回路に電力を供給するワード線ドライバ部と、画像信号を送信するデータ線を選択する列デコーダ部と、列デコーダ部が選択したデータ線に、画像信号を送信するための列選択スイッチ部とを設ける。そして、これらを半導体又は絶縁体の基板（表示装置のパネル）上に集積し、一体形成して省スペース化を図る。また、全てをパネル上に集積することにより、信号のやりとりを極力少なくするようにして、表示装置を含めたシステム全体の低電力化を図る。

【0014】

また、本出願の表示装置は、各電流駆動型発光素子を有機EL素子で構成するものである。

この表示装置においては、高精細表示、低温プロセス等の特徴を有する有機EL素子（OEL素子）で発光素子を構成する。

【0015】

また、本出願の表示装置は、記憶回路をスタティックな回路で構成するものである。

この表示装置においては、データのやりとりを少なくし、低電力化を図るために、記憶回路をスタティックな回路で構成し、変更がない限りは画像信号を保持できるようにする。

【0016】

また、本出願の表示装置の記憶回路において、スタティックな回路をCMOSクロックドゲートを用いたラッチ回路で構成する。

本出願の表示装置では、記憶回路をCMOSクロックドゲートを用いたラッチ回路（フリップフロップ）で構成し、TFTのばらつきが大きくても安定動作を図る。

【0017】

また、本出願の表示装置は、 γ 補正に基づいて各組に電力を供給するものである。

この表示装置においては、 γ 補正の明るさ（輝度）と印加電圧との関係に基づいて各組に電力を供給し、各ドットにおけるEL素子の明るさが線形的になるように制御する。

【0018】

また、本出願の表示装置は、ドットのアレイパターンに対応させて複数のリード線をさらに配線し、リード信号が送信されると、記憶回路に記憶している画像信号が読み出されるものである。

この表示装置においては、ドットのアレイパターンに対応させて複数のリード線をさらに配線し、リード信号が送信されると、記憶回路に記憶している画像信号を読み出すことで、表示装置自体が画像信号（データ）の記憶装置となる。

【0019】

また、本出願の表示装置は、電力を外部の電源で制御して供給するものである。

この表示装置においては、製造のばらつきによって表示装置毎に生じる可能性がある明るさと供給電力との関係のばらつきを表示装置毎に補正できるように、外部の電源で電力を制御して供給する。

【0020】

また、本出願の表示装置のワード線ドライバ部及び行デコーダ部は、表示駆動部の列方向の長さに対応して割り付けられ、また、列デコーダ部及び列選択スイッチ部は、表示駆動部の行方向の長さに対応して割り付けられる。

この表示装置においては、表示外の部分におけるレイアウトをできるだけ小さくするために、ワード線ドライバ部及び行デコーダ部を、表示駆動部の列方向の長さに対応して割り付け、また、列デコーダ部及び列選択スイッチ部を、表示駆動部の行方向の長さに対応して割り付けて省スペース化を図る。

【0021】

また、本出願の表示装置の列選択スイッチ部を構成する各列選択スイッチは、ドットのアレイパターンの幅に対応して割り付けられる。

この表示装置においては、効率のよいレイアウトを図るために、各列選択スイッチをドットのアレイパターンの幅に対応して割り付ける。

【0022】

また、本出願の表示装置は、画像信号を記憶させる記憶回路を示すアドレス信号に基づいて、行デコーダ部はライト信号を送信する行を選択するものである。

この表示装置においては、任意の行を選択できるようにするため、行デコーダ部が、アドレス信号に基づいてライト信号を送信する行を選択する。

【0023】

また、本出願の表示装置の列デコーダ部は、アドレス信号に基づいて、データ線を選択するものである。

この表示装置においては、任意のデータ線（列）を選択できるようにするため、列デコーダ部がアドレス信号に基づいてデータ信号を送信する。

【0024】

また、本出願の表示装置は、光源色である赤、青及び緑を発色表示させるために設けられた3ドットを1画素とし、画像信号は1画素単位で入力され、また、列デコーダ部は、1画素分の画像信号を記憶させるためのデータ線を選択するものである。

この表示装置においては、カラー表示において、赤、青及び緑を発色表示させるために設けられた3ドットを1画素とし、画像信号は、表示変更の基準となる1画素単位で入力され、また、列デコーダ部は、1画素分の画像信号を記憶させるためのデータ線を選択する。

【0025】

また、本出願の表示装置は、光源色である赤、青及び緑を発色表示させるために設けられた3ドットを1画素とし、画像信号は複数画素単位で入力され、また、列デコーダ部は、複数画素分の画像信号を記憶させるためのデータ線を選択するものである。

この表示装置においては、カラー表示を行う場合、記憶させるのに用いるクロック周波数を低下させるために、複数画素単位で画像信号を入力し、列デコーダ部はその入力に基づいて、複数画素分のデータ線を選択する。

【0026】

また、本出願の表示装置は、電力供給線に供給する電力を制御するためのアナログ電源回路をさらに基板上に集積し、一体形成する。

この表示装置においては、表示させるために必要な電力供給を制御するアナログ電源回路をシステムティックに同一基板上に一体形成する。

【0027】

また、本出願の表示装置は、少なくともアドレス信号を送信するタイミングを制御するタイミングコントローラ部と、画像信号の送信を制御するメモリコントローラ部とをさらに基板上に集積し、一体形成する。

この表示装置においては、タイミングコントローラ部とメモリコントローラ部とをシステムティックに同一基板上に一体形成する。

【0028】

【発明の実施の形態】

実施の形態1.

図1は、実際に表示が行われるアクティブマトリクスOELD部分の各ドットにおいて構成される等価回路を表す図である。それぞれのドットのエリアには、アクティブ素子、記憶回路、及び被駆動手段であるOEL素子が、それぞれ1ドット分の表示制御に必要な画像信号の数に対応する組として設けられる（本実施の形態では4組設けている）。ここで各組は同一形状で構成することができる。また各ドットにおける記憶制御及び発光制御は、データ線（d0、d1、d2及びd3）とWrite線及び電力供給線（VOEL1、VOEL2、VOEL3及びVOEL4）により行われる。

【0029】

図において、1A、1B、1C及び1Dは、記憶回路（メモリセル）である。ここで、各記憶回路は1トランジスタ、1キャパシタで構成されるダイナミックな記憶回路である。各記憶回路は、Write（ライト）信号が入力されると、それぞれd0、d1、d2又はd3から送信される2値のデータ（デジタルデータ）信号である画像信号を保持（記憶）することになる。本実施の形態では、1ドットにつき4つの記憶回路を用いているので、4ビット分の情報量（16通りの値）を保持することができる。そのため、各ドットは16通りの明るさ（階調）を表現することができる。なお、この記憶回路1A、1B、1C及び1Dをまとめる場合には記憶回路部1ということにする。

【0030】

2A、2B、2C及び2Dは、例えばTFT（Thin Film Transistor）等のような表示制御部となるアクティブ素子部である。このアクティブ素子部は、スイッチング素子としての役割を果たす。それぞれのアクティブ素子部では、ゲートと記憶回路とが接続されている。したがって、各アクティブ素子部は、記憶回路に記憶される画像信号の値に基づいてスイッチングし、電力供給線の駆動により印加される電圧に基づいた電流をOEL素子部に供給する制御を行う。ここで、各アクティブ素子部に印加される電圧が異なる。アクティブ素子部2AにはOEL駆動電圧VOEL1が印加される。同様に、アクティブ素子部2B、アクティブ素子部2C、アクティブ素子部2Dには、それぞれOEL駆動電圧VOEL2、VOEL3、VOEL4が印加される。このため、各アクティブ素子部がスイッチング動作により各OEL素子に供給する電流量も異なることになる。なお、このアクティブ素子部2A、2B、2C及び2Dをまとめる場合にはアクティブ素子部2ということにする。

【0031】

ここで、記憶回路部1とアクティブ素子部2とを透明な絶縁基板である多結晶シリコン上にTFT形成すると、EL素子が発光した光を基板を透過させて取り出す（外部に放射）することができる。EL素子の光を基板を透過させて取り出すような構造は、製造工程のプロセスの制約を受けた中では最も効率よくEL素

子を発光させることができる。また、多結晶シリコンは、大面積に安価に作成することができる上、EL素子を発光させるには十分な電流を供給することができるので実用的である。

【0032】

図2は、電力供給線により印加されるOEL駆動電圧とOEL素子の輝度との関係を表した図である。3A、3B、3C及び3DはOEL素子である。各OEL素子は、それぞれ対応するアクティブ素子部と接続されている。そのため、各アクティブ素子から供給される電流の量が異なるので、各OEL素子では、発光したときの輝度が異なる。ここでは、OEL駆動電圧 $VOEL1$ 、 $VOEL2$ 、 $VOEL3$ 、 $VOEL4$ を印加することにより、輝度 $B1$ 、 $B2$ 、 $B3$ 、 $B4$ が得られるものとし、 $B1 : B2 : B3 : B4 = 1 : 2 : 4 : 8$ の関係を有するものとする。そのため、 γ 補正に基づいてOEL駆動電圧 $VOEL1$ 、 $VOEL2$ 、 $VOEL3$ 、 $VOEL4$ を決定する。ここで、 γ 補正とは、CCDカメラ等において、入力光量 E と出力値 D との間にある $D = E^\gamma$ のような γ 特性と呼ばれる指数関数の関係を補正することが本来の意味である。ただ、LCDやOELDにおいては、1ドット分の画像信号が示す値と明るさ（輝度）とを線形にするための補正の意味もある。本実施の形態では主に後者の意味で用いることにし、OEL素子に供給する電流を γ 特性に合わせて制御する。

【0033】

本実施の形態の表示装置は、発光させるOEL素子の個数で階調を表現するのではなく、OEL素子に供給する電流を調整して階調を表現する。そのために、1ドットを階調表示するのに必要な各画像信号に対応して、記憶回路、アクティブ素子及びOEL素子の組（各組は同一形状でよい）を設ける。そして、画像信号が示す値に対応する明るさ（輝度）をOEL素子が発光できるように、それぞれ異なる電力を各組に供給（OEL駆動電圧を各組に印加）する。したがって、各組のOEL素子に供給される電流の量も異なる。また、デジタルデータとなる画像信号の値を記憶回路部1が記憶し、その記憶した画像信号の値をそのままアクティブ素子部2のスイッチングに利用して、OEL素子に供給される電流を制御し、デジタルデータのみで表示制御まで行うようにする。

【0034】

次に動作について説明をする。記憶回路1はダイナミックな（動的な）記憶回路であるので、値を保持しておくために、一定時間毎にリフレッシュする（画像信号の値を書き込む）必要がある。そこで、表示を維持する（発光を制御する）ために、少なくとも各行のWrite線を走査させて、Write信号を順次送信し、駆動させる。データ線に関しては、駆動させる手段（ドライバ）にもよるが、1行分のドットに対して、各データ線を介して一度に画像信号を送信するようにしてもよいし、走査させて各ドットに順次画像信号を送信する（駆動させる）ようにしてもよい。送信された画像信号の値に基づいて、各アクティブ素子はスイッチング動作を行う。そして、その値によりOEL素子に電流が供給されたり、されなかったりする。電流が供給されたOEL素子は、その電流量に基づいて自ら発光する。ここで、アクティブ素子部22のスイッチングのオンオフ動作は、スレッシュホールドレベルを境に切り換えられる。したがって、このスレッシュホールドレベルまで記憶回路部1が画像信号の値に基づく電圧を維持できれば表示状態は維持される。この維持できる時間が長いほど、リフレッシュに必要な周波数を低くすることができる。そのため、低電力化を図ることができる。

【0035】

次に各ドットにおける階調表現について説明する。前述したものと同様に、各データ線d0、d1、d2、d3から入力される画像信号の値がそれぞれ1、0、0、1であるものとする。その場合、記憶回路1A及び1Dには“1”が記憶され、記憶回路1B及び1Cには“0”が記憶される。これにより、スイッチがONとなり、OEL素子に電流を供給するのは、アクティブ素子部2A及び2Dである。したがって、OEL素子部3AにはVOEL4に基づく量の電流が供給され、OEL素子部3DにはVOEL1に基づく量の電流が供給される。そのため、1ドット分の画像信号が示す値に基づいた明るさ（輝度）で発光する。

【0036】

以上のように第1の実施の形態によれば、1ドットを 2^n 階調表示するのに必要な各画像信号に対応して、記憶回路、アクティブ素子及びOEL素子の組をn組設け、画像信号が示す値に対応する明るさ（輝度）を各OEL素子が発光でき

るように、それぞれ異なる電力を各組に供給（OEL駆動電圧を各組に印加）して、発光させるOEL素子の個数で階調を表現するのではなく、OEL素子に供給する電流を調整して階調を表現するようにしたので、各組を同一形状で構成することができ、また1ドットをスクエアとして構成することができるので、コスト的、レイアウト的に効率のよい表示装置を得ることができる。また、各組のOEL素子を同一形状にすることにより、OEL素子を形成する際のドット間のばらつきを抑えることができ、ドット又は画素毎の輝度のばらつきを抑えることができるので、画像の均一性を向上させることができる。さらに、デジタルデータである画像信号の値を記憶回路部1が記憶し、その記憶した画像信号の値をそのままアクティブ素子部2のスイッチングに利用して、OEL素子に供給される電流を制御し、デジタルデータのみで表示制御まで行うようにしたので、アナログデータに変換する等の電力消費を抑えることができ、低電力化を図ることができる。

【0037】

実施の形態2.

図3は本発明の第2の実施の形態に係る表示装置を含めたシステムの概念を表すブロック図である。図1はシステムオンパネル（SOP）と呼ばれる概念を表している。SOPとは、アクティブマトリクス、周辺駆動回路、メモリ、コントローラ等の表示に関するすべての回路システムを、多結晶シリコンTFT等を用いてガラス等の絶縁基板上に一体形成しようとする概念である。そのため、パネルをCPUと直結することができ、また低コスト、高信頼性、省スペース化を図ることができる。

【0038】

図3において、デジタルインターフェース1000は表示データを送信するCPU1000Aで構成されている。また、表示装置であるパネル10の駆動部分は、アクティブマトリクスOELD部20、行ドライバ部30、デジタルデータドライバ部40、メモリコントローラ50、タイミングコントローラ60及びアナログ電源回路70で構成されている。

【0039】

図4はパネル10の駆動部分を詳細に表した図である。アクティブマトリックスOELD部20は、実際に表示をしたり、その制御をしたりする部分である。また、1画面を表示するのに必要なデータ信号を記憶する。このアクティブマトリックスOELD部20には、 $i \times j$ 個の画素がドットパターンに基づいて配置されているものとする。

【0040】

図5はアクティブマトリクスOELD部20の各ドットパターンにおいて構成される等価回路を表す図である。それぞれのドットパターンには、第1の実施の形態と同様に、記憶回路、アクティブ素子及び被駆動手段であるOEL素子が、それぞれ1ドット分の表示制御に必要なデータ信号の数に対応する組として設けられる（本実施の形態では4組設けている。この組数は後述するkの値と同じ数となる）。

【0041】

図5において、アクティブ素子部2A、2B、2C及び2D並びにOEL素子3A、3B、3C及び3Dについては、第1の実施の形態で説明したことと同様の動作を行うので説明を省略する。4A、4B、4C及び4Dは記憶回路（メモリセル）である。第1の実施の形態における記憶回路1と異なる点は、各記憶回路が、例えばラッチ回路に代表されるようなスタティックな（静的な）記憶回路という点である。そのため、記憶保持のために一定時間毎にリフレッシュしなくてもよい。特にCMOSクロックドゲートを用いたラッチ回路で構成すれば、TFTの特性のばらつきが大きくても、安定した記憶動作が得られる。各記憶回路は、Write（ライト）信号が入力されると、それぞれd0、d1、d2又はd3から送信される2値信号（デジタルデータ信号）を保持（記憶）する（ここで、以下、1画素分のデータを表示データとし、表示データを構成する各2値信号を画像信号という）。本実施の形態でも、第1の実施の形態のように1ドットにつき4つの記憶回路を用いているので、4ビット分の情報量（16通りの値）を保持することができる。なお、この記憶回路4A、4B、4C及び4Dをまとめる場合には記憶回路部4ということにする。また、図5においては記憶回路部4へのライト線、電源供給線等の詳細な配線は省略している。

【0042】

図4において、Write線を駆動させる（Write信号を送信する）制御を行うのが行ドライバ部30である。行ドライバ部30は行デコーダ31及びワード線ドライバ32で構成されている。行デコーダ31は、入力されるアドレスデータに基づいて、表示データを記憶又は書き換え（以下、単に記憶という）を行う画素の行を選択する。そして、ワード線ドライバ32がその選択に基づいて実際にWrite信号を送信する。ここで、行デコーダ31とワード線ドライバ32とは、パネル10の省スペース化を図るという観点から、アクティブマトリクスOLED部20の列の長さ以下になるように基板上に形成されるものとする。

【0043】

一方、データ線を駆動させる（画像信号を送信する）制御を行うのがデジタルデータドライバ40である。デジタルデータドライバ部40は、列デコーダ41、入力制御回路42及び列選択スイッチ部43で構成されている。列デコーダ41は、入力されるアドレスデータに基づいて、1行（ライン）分（j個）の列から、表示データを記憶させる画素が属する列を選択する。これが駆動させるデータ線を選択させることにもなる。入力制御回路42は、メモリコントローラ50から並列送信された1画素分の画像信号（ $k \times 3$ ）の制御を行う回路である。前述したように、kの値と記憶回路部4の各記憶回路の数とは同じであり、各ドットを 2^k の階調の明るさで表示するために必要な数である。したがって、図4では $k=4$ となり、各ドットにおいては16階調の明るさが設定できる。列選択スイッチ部43は、1画素の画像信号（ $k \times 3$ ）を単位として1ラインの画素の数だけ（つまり $k \times 3 \times j$ ）設けられている。各列選択スイッチは、列デコーダ41の選択及び画像信号に基づいてスイッチングし、データ線に画像信号を送信する。ここで、列デコーダ41及び列選択スイッチ部43とは、パネル10の省スペース化を図るという観点から、アクティブマトリクスOLED部20の行の長さ以下になるように形成されるものとする。そして、同様の観点から、各列選択スイッチの大きさに関しても、各ドットのピッチ幅に基づいて設定されている。

【0044】

メモリコントローラ50は、CPU1000Aから送信される表示データをk×3の画像信号として制御する。また、タイミングコントローラ60は、少なくともアドレスバッファ61を有し、CPU1000Aから送信される表示データを記憶させるために、行デコーダ31及び列デコーダ41にアドレス信号を送信する。

【0045】

アナログ電源制御回路70は、各OEL素子部に電流を供給するための電力を供給する。アナログ電源制御回路70からは、1画素分の電力供給線が出ているので、1画素分について電力の供給（電圧の印加）を異なったものとさせることができる（ただし、電力の供給自体は1画素ずつではなく、全画面分に対して行われる）。

【0046】

本実施の形態の表示装置は、第1の実施の形態と同様に、OEL素子に供給する電流を調整して階調を表現する。ただ、記憶回路部4をスタティックに構成し、一定時間毎にリフレッシュしなくても画像信号の値を保持できるようにする。それに加え、省スペース化を図るため、ガラス基板（パネル10）上で最も大きな面積を占め、しかも大きさが決まっているアクティブマトリックスOELD部20に合わせて、周辺回路等を効率よくレイアウトし、TFTと同様に基板上に一体形成する。周辺回路等をパネル10上にレイアウトし、しかも画像信号を保持する記憶回路をスタティックな構成の回路とし、画像信号（画素）の書き換えがなければCPU1000Aのような処理装置とデータのやりとりを行わないようにする。

【0047】

次に本実施の形態の表示装置の動作について説明する。CPU1000Aは、ある画素の表示を制御させるために、1画素分の表示データを送信する。CPU1000Aは、それと共に制御対象となる画素の位置を示すアドレス信号も送信する。

【0048】

メモリコントローラ50には表示データが送信され、タイミングコントローラ

60にはアドレス信号が送信される。タイミングコントローラ60は、アドレスバッファ61にアドレス信号を送信する。アドレス信号を受信したアドレスバッファ61は、行デコーダ31及び列デコーダ41にアドレス信号を送信する。行デコーダ31は、そのアドレス信号に基づいて、画像信号を記憶させる画素が位置する行を選択する。ワード線ドライバ32は、選択された行のWrite線にWrite信号を送信する（駆動させる）。また、また列デコーダ41もアドレス信号に基づいて、画像信号を記憶させる画素が位置する列を選択する。この選択が画像信号を送信するデータ線を選択させることにもなる。

【0049】

一方、1画素分の画像信号が入力制御回路42を介して入力される。そして、列選択スイッチ部43は、列デコーダ41の選択及び画像信号に基づいてスイッチングし、データ線に画像信号を送信する（駆動させる）。このようにして、Write線及びデータ線に選択された画素に、データ線d0、d1、d2及びd3を介して、それぞれ 2^{k-1} （ $k=1\sim 4$ ）の値を表す画像信号が入力される。そして、各記憶回路に記憶（保持）された画像信号の値に基づいて、第1の実施の形態と同様の表示動作が行われる。

【0050】

ここで、記憶回路部4はスタティックな記憶回路で構成されているので、画像信号を書き換えない限り、その値を記憶（保持）させておくことができる。したがって、画像が変化しない場合には、CPU1000Aからは表示データを送信しなくてもよいのでCPU1000Aとパネル10とのデータのやりとりを少なくすることができ、低消費電力化を図ることができる。

【0051】

表示を変更する際は、CPU1000Aは、表示を変更する画素の画像信号及び画素の位置を示すアドレス信号を送信する。そのアドレス信号に基づいて、パネル10では、上述したことと同じ動作で表示の変更が行われる。そのため、行（Write線）方向又は列（データ線）を順次に走査しなくても、アドレス信号に応じたランダムなWrite線、データ線の選択及び駆動ができ、表示データを必要に応じて書き換えることができ、そのため低消費電力化を図ることがで

きる。

【0052】

また、表示に関しても、OEL素子で構成しているので、液晶ディスプレイのように交流駆動を考慮する必要がない。そのため、交流駆動とフリッカー（ちらつき）との関係も気にする必要はない。

【0053】

以上のように第2の実施の形態によれば、周辺回路をパネル上に、しかもチップではなく、TFTと同様に基板上に一体形成するようにしたので、例えばコンピュータ等と組み合わせたシステム全体として、省スペース化を図ることができる。しかも、ガラス基板（パネル10）上で最も大きな面積を占め、しかも大きさが決まっているアクティブマトリックスOELD部20の列方向に合わせて、行ドライバ部30（行デコーダ31、ワード線ドライバ32）を集積し、行方向にあわせてデジタルデータドライバ部40（列デコーダ41、入力制御装置42、列選択スイッチ部43）を集積して一体形成するようにしたので、より効率的な省スペース化を図ることができる。そして、列選択スイッチ部43の各列選択スイッチをドットピッチにあわせれば、より効率的なレイアウトを行うことができる。さらに、メモリコントローラ6及びタイミングコントローラ7についても、パネル1に一体形成するようにしたので、パネル1をCPU110Aと直結することができ、システム全体を低コスト、高信頼性、省スペース化することができる。

【0054】

また、記憶回路部4をスタティックに構成し、一定時間毎にリフレッシュしなくても画像信号の値を保持できるようにし、さらにアドレス信号に基づいて、行デコーダ31及び列デコーダ41は、ライト線、データ線を選択できるようにしたので、CPU1000Aでは、書き換えを行う表示データだけを送信すればよく、CPU1000Aとの表示データ（画像信号）のやりとりを少なくでき、低電力化を図ることができる。また、列デコーダ41におけるデータ線の選択を複数画素分1度に行うことができるようにすれば、記憶のために駆動させる場合のクロック周波数を低くすることができ、低電力化を図ることができる。

【0055】

しかも、アクティブマトリクスOELD部20は、アクティブマトリクス型のOELDであるので、単純マトリクス型のディスプレイに比べても駆動電圧を大幅に減らすことができ、効率のよい動作点を使えることから、さらに低電力化を図ることができる。その上、EL素子は薄膜素子であるので、SOPに基づいて、システム全体を一体形成した場合には、省スペース化及び薄型化（液晶のようにガラス基板を2枚使い、挟み込む必要もない）を図ることができる。そして、OEL素子の製造工程は、アクティブマトリクス型の要であるTFTの製造工程にくらべて低温のプロセスで実行できる。そのため、TFTを含めた回路をガラス基板上に一体形成した後にOEL素子の形成工程を追加しても、TFTには全く影響がなく、プロセス、歩留まり等様々な面から考えても都合がよい。

【0056】

実施形態3.

図6は本発明の第3の実施の形態に係るパネル10Aを表すブロック図である。本実施の形態が第2の実施の形態と異なる点は、アナログ電源制御回路70を他の周辺回路と同様にパネル（基板）上に一体形成せずに、外部のアナログ電源回路と接続するようにしたことである。そのため、外部アナログ電源接続端子81を設けている。アナログ電源回路70をパネル（ガラス基板）上に他の周辺回路と一体形成することは、全体の省スペース化を図るという観点では効率がよい。しかし、外部アナログ電源接続端子81を設け、外部のアナログ電源によりパネル10Aに供給する電力の制御を行うことで、表示のグレイスケール（明度）を外部から制御することができる。そのため、例えば図2のようなOEL素子の駆動電圧と輝度との関係を保てるようにパネル毎に接続されるアナログ電源において供給電力を調整し、製造上のばらつきを抑えることができる。

【0057】

記憶動作及び表示動作に関しては、第1又は第2の実施の形態で説明したことと同様の動作を行うので説明を省略する。

【0058】

以上のように第3の実施の形態によれば、アナログ電源回路を一体構成せずに

、外部アナログ電源接続端子 8 1 を設け、外部のアナログ電源によりパネル 1 0 A に供給する電力の制御を行うようにしたので、表示のグレイスケール（明度）を外部から制御することができ、製造のばらつきによって表示装置毎に生じる可能性のある明るさと供給電力との関係のばらつきを調整することができる。

【 0 0 5 9 】

実施形態 4 .

図 7 は本発明の第 4 の実施の形態に係るアクティブマトリクス O E L D 部の各ドットの等価回路を表す図である。図において、5 A、5 B、5 C 及び 5 D は記憶回路である。第 2 の実施の形態で説明した記憶回路部 4 と異なる点は、記憶させた画像信号を読み出せるようにしたことである。したがって、画像信号を表示のためだけに記憶するのではなく、例えば C P U 1 0 0 0 A と表示データ（画像信号）のやりとりを行う等の用途に用いることができる。

【 0 0 6 0 】

記憶回路部 5 から表示データの読み出しを行うタイミングについては、同じ画素に対して、表示データの W r i t e （ライト、記憶）と R e a d （表示データの読み出し）とは同時に行うことができない。そして、構造の関係上、データ線は W r i t e と R e a d を共有して使っている（読み出しと記憶の経路が同じである）ので、別の画素について W r i t e しているときでも R e a d はできない。したがって、ある画素について W r i t e していないときは、R e a d できることになる。

【 0 0 6 1 】

以上のように第 4 の実施の形態によれば、記憶回路部 5 から表示データ（画像信号）を読み出せるようにし、他の用途に用いることができるので、読み出す速度は、通常のメモリ等と比べると遅いものの、表示データに関して言えば、コストや占有面積等の点で記憶回路（メモリ）を節約することができる。

【 0 0 6 2 】

実施の形態 5 .

上述の実施の形態では、列デコーダ 4 1 が 1 回で選択できる画素を 1 つとしたが、本発明ではそれに限定されるものではない。複数画素ずつを組として構成し

、列デコーダ41は、その組毎にデータ線を選択できるようにする。また、入力制御回路42に入力される表示データの数をそれに合わせ（2倍の場合、画像信号は $k \times 2 \times 3$ ）、組の表示データを一度に入力制御できるようにしておく。このような構成にすることで、複数表示データを一度に扱うことができ、配線は多くなるが、1画素ずつ記憶させる場合より、記憶に必要なクロックの周波数を低くすることができ、低電力消費を図ることができる。

【0063】

実施の形態6.

上述の実施の形態では、有機EL素子を前提に説明したが、これは有機ELに限るものではなく、無機ELを用いてもかまわないし、他のあらゆる電流駆動型の発光素子にも適用できるものである。

【0064】

【発明の効果】

以上のように、この表示装置によれば、接続されたライト線及びデータ線の駆動により画像信号を記憶する記憶回路、供給される電流量に応じて発光するEL素子及び供給される電力に応じた電流量をEL素子に供給する表示制御部の組を n 組、そのドットアレイパターン内に設け、同一形状の各組を記憶回路が記憶する画像信号が示す桁の値に応じた電力を供給して階調表現を行うようにしたので、費用、占有面積等の関係上、都合がいい。しかも、自発光のEL素子を用いているので、透過型液晶ディスプレイのようなバックライトを必要とせず、低電力化を図ることができる。

【0065】

また、この表示装置によれば、EL素子で表示させるようにしたので、高精細、薄型大面積化、大容量化等で表示することができる。また、透過型LCDのようにバックライトを使わなくてもよいので、低消費電力化を図ることができる。

【0066】

また、本出願の表示装置では、各記憶回路及び各表示制御部を透明な絶縁基板である多結晶シリコンTFTで形成するようにしたので、例えばEL素子が発光した光を基板を透過させて取り出すことができる。しかも、EL素子の発光した

光を透過させる、この構造が、プロセスの制約を受けた上で、最も効率よくEL素子を発光させることができる構造である。さらに、多結晶シリコンは、例えばEL素子を発光させるのに十分な電力を供給することができるし、比較的大面積に安価に作成できるので実用的である。

【0067】

また、この表示装置によれば、表示の最小単位であるドットのアレイパターンに対応させて複数のライト線及び複数のデータ線を配線し接続されたライト線及びデータ線の駆動により画像信号を記憶する記憶回路及び供給される電力に応じた電流量をEL素子に供給する表示制御部の組をn組、そのドットアレイパターン内に設けた表示駆動部と、ライト線にライト信号を送信する行を選択する行デコーダ部と、実際にライト信号を送信し、また表示駆動部の記憶回路に電力を供給するワード線ドライバ部と、画像信号を送信するデータ線を選択する列デコーダ部と、列デコーダ部が選択したデータ線に、画像信号を送信するための列選択スイッチ部とを設け、これらを半導体又は絶縁体の基板（表示装置のパネル）上に集積し、一体形成するようにしたので、表示部分を含め、最低限必要な周辺回路をパネル上にチップ等を用いずにすみ、省スペース化を図ることができる。また、できるだけパネル上に集積するようにするようにしたので、信号のやりとりを抑えることができ、配線を短縮することができるので、低電力化を図ることができる。

【0068】

また、この表示装置によれば、有機EL素子で表示するようにしたので、EL素子のように高精細で表示することができるだけでなく、安価な材料で、さらに電気光学変換効率がよいので、さらなる低電力化を図ることができる。また、透過型LCDのようにバックライトを使わなくてもよいので、低消費電力化を図ることができる。

【0069】

また、この表示装置によれば、記憶回路をスタティックな回路で構成するようにしたので、変更がない限りは画像信号を保持でき、データのやりとりを少なくし、低電力化を図ることができる。

【0070】

また、本出願の表示装置の記憶回路をCMOSクロックドゲートを用いたラッチ回路で構成するようにしたので、TFTの特性のばらつきが大きくても、最も安定した記憶動作を行うことができる。

【0071】

また、この表示装置によれば、 γ 補正の明るさと印加電圧との関係に基づいて各組に電力を供給し、各ドットにおけるEL素子の明るさ（輝度）を線形的に表示できる。

【0072】

また、この表示装置によれば、ドットのアレイパターンに対応させて複数のリード線をさらに配線し、リード信号が送信されると、記憶回路に記憶している画像信号を読み出すようにしたので、表示装置自体を画像信号の記憶装置とすることができ、記憶手段の節約、省スペース化を図ることができる。

【0073】

また、この表示装置によれば、製造のばらつきによって表示装置毎に生じる可能性がある明るさと供給電力との関係のばらつきを、外部の電源による電力制御で補正するようにしたので、表示装置毎に、そのばらつきを調整することができる。

【0074】

また、この表示装置によれば、表示外の部分におけるレイアウトをできるだけ小さくするために、ワード線ドライバ部及び行デコーダ部を、表示駆動部の列方向の長さに対応して割り付け、また、列デコーダ部及び列選択スイッチ部を、表示駆動部の行方向の長さに対応して割り付けるようにしたので、パネル上での実際の表示領域以外の部分の占有面積を少なくすることができ、省スペース化を図ることができる。

【0075】

また、この表示装置によれば、各列選択スイッチをドットのアレイパターンの幅に対応して割り付けるようにしたので、効率のよいレイアウトを図ることがで

き、省スペース化を図ることができる。

【0076】

また、この表示装置によれば、行デコーダ部が、アドレス信号に基づいてライト信号を送信する行を任意に選択できるので、表示を変更するのに自由度の高い選択ができる。これは、表示内容を変更しなければ、書き換える必要がないスタティックな記憶回路を用いたときに特に有効である。

【0077】

また、この表示装置によれば、列デコーダ部がアドレス信号に基づいてデータ信号を送信する列（データ線）を任意に選択できるので、表示を変更するのに自由度の高い選択ができる。これは、表示内容を変更しなければ、書き換える必要がないスタティックな記憶回路を用いたときに特に有効である。

【0078】

また、この表示装置によれば、列デコーダ部は、1画素分の画像信号を記憶させるためのデータ線を1度を選択するようにしたので、表示変更等の基準となる画素単位で画像信号送信等を行うことができる。

【0079】

また、この表示装置によれば列デコーダ部は複数画素分のデータ線を選択するようにしたので、書き換えを行う際のクロック周波数を低下させることができ、低電力化を図ることができる。これは、特に表示変更を行うことが多い画面を表示させるときに向いている。

【0080】

また、この表示装置によれば、表示させるために必要な電力供給を制御するアナログ電源回路をシステムティックに同一基板上に一体形成するようにしたので、システム全体の低コスト化、高信頼性、省スペース化等を図ることができる。

【0081】

また、この表示装置によれば、タイミングコントローラ部とメモリコントローラ部のような表示を制御するために必要な周辺回路をシステムティックに同一基板上に一体形成するようにしたので、システム全体の低コスト化、高信頼性、省スペース化等を図ることができる。

【図面の簡単な説明】

【図 1】

実際に表示が行われるアクティブマトリクスOELD部分の各ドットにおいて構成される等価回路を表す図である。

【図 2】

電力供給線により印加されるOEL駆動電圧とOEL素子の輝度との関係を表した図である。

【図 3】

本発明の第2の実施の形態に係る表示装置を含めたシステムの概念を表すブロック図である。

【図 4】

パネル10の駆動部分を詳細に表した図である。

【図 5】

アクティブマトリクスOELD部20の各ドットパターンにおいて構成される等価回路を表す図である。

【図 6】

本発明の第3の実施の形態に係るパネル10Aを表すブロック図である。

【図 7】

本発明の第4の実施の形態に係るアクティブマトリクスOELD部の各ドットの等価回路を表す図である。

【図 8】

OEL素子を用いて表示を行う場合の各ドットの等価回路を表す図である。

【符号の説明】

1、4 記憶回路部

1A、1B、1C、1D、4A、4B、4C、4D 記憶回路

2 アクティブ素子部

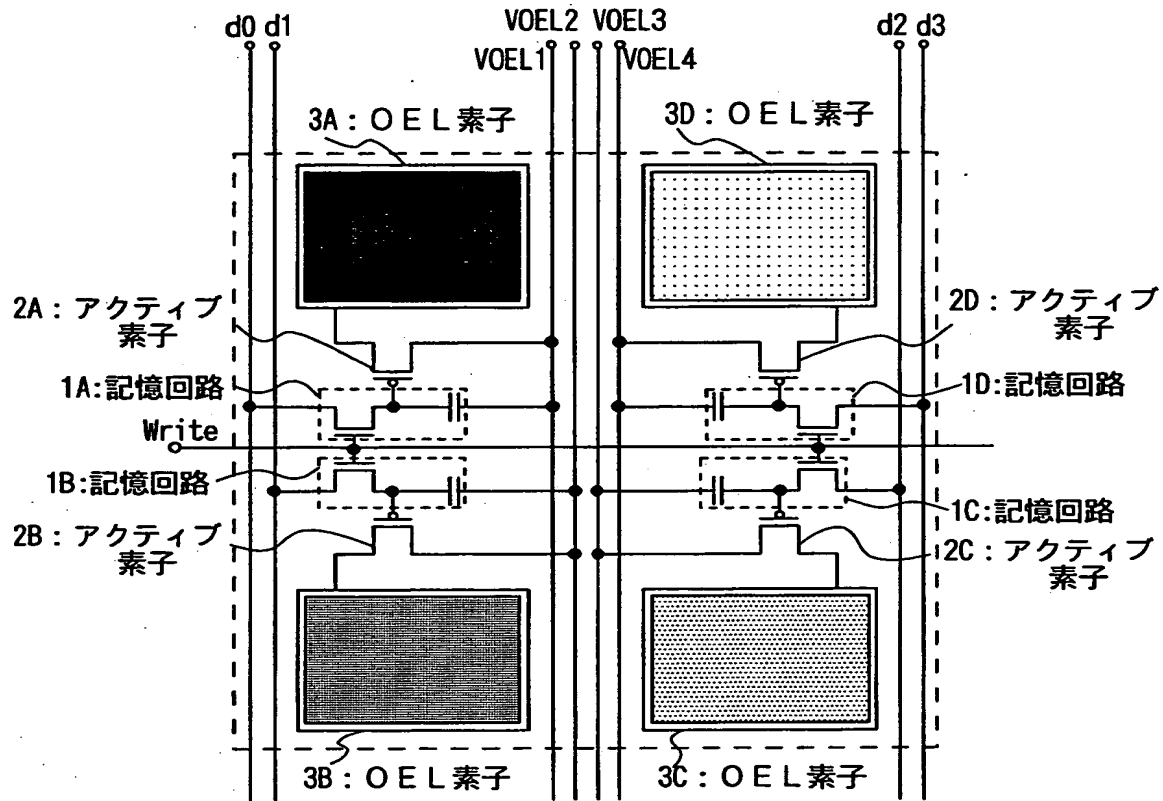
2A、2B、2C、2D アクティブ素子

3 OEL素子

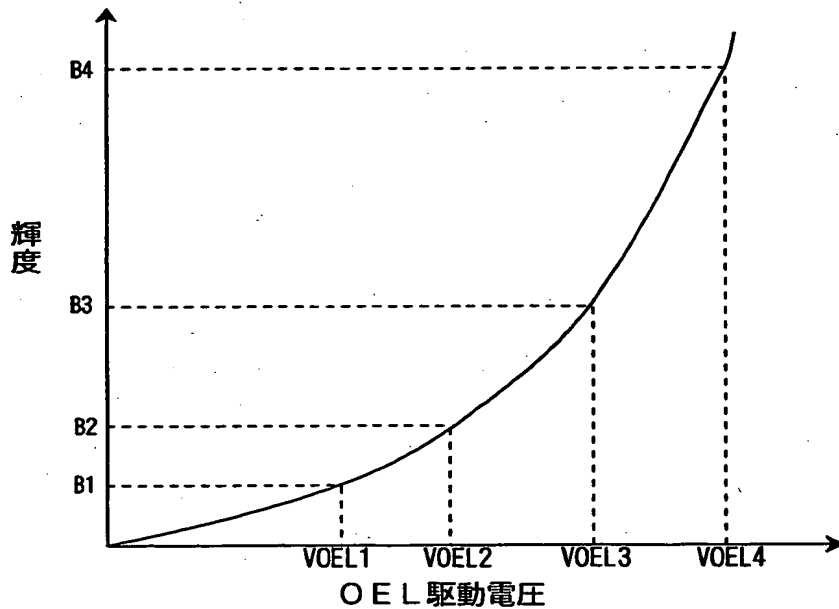
3 A、3 B、3 C、3 D O E L 素子
1 0、1 0 A パネル
2 0 アクティブマトリクス O E L D 部
3 0 行ドライバ部
3 1 行デコーダ
3 2 ワード線ドライバ
4 0 デジタルデータドライバ部
4 1 列デコーダ
4 2 入力制御回路
4 3 列選択スイッチ部
5 0 メモリコントローラ
6 0 タイミングコントローラ
6 1 アドレスバッファ
7 0 アナログ電源回路
8 1 外部アナログ電源接続端子
1 0 0 0 デジタルインターフェース
1 0 0 0 A C P U

【書類名】 図面

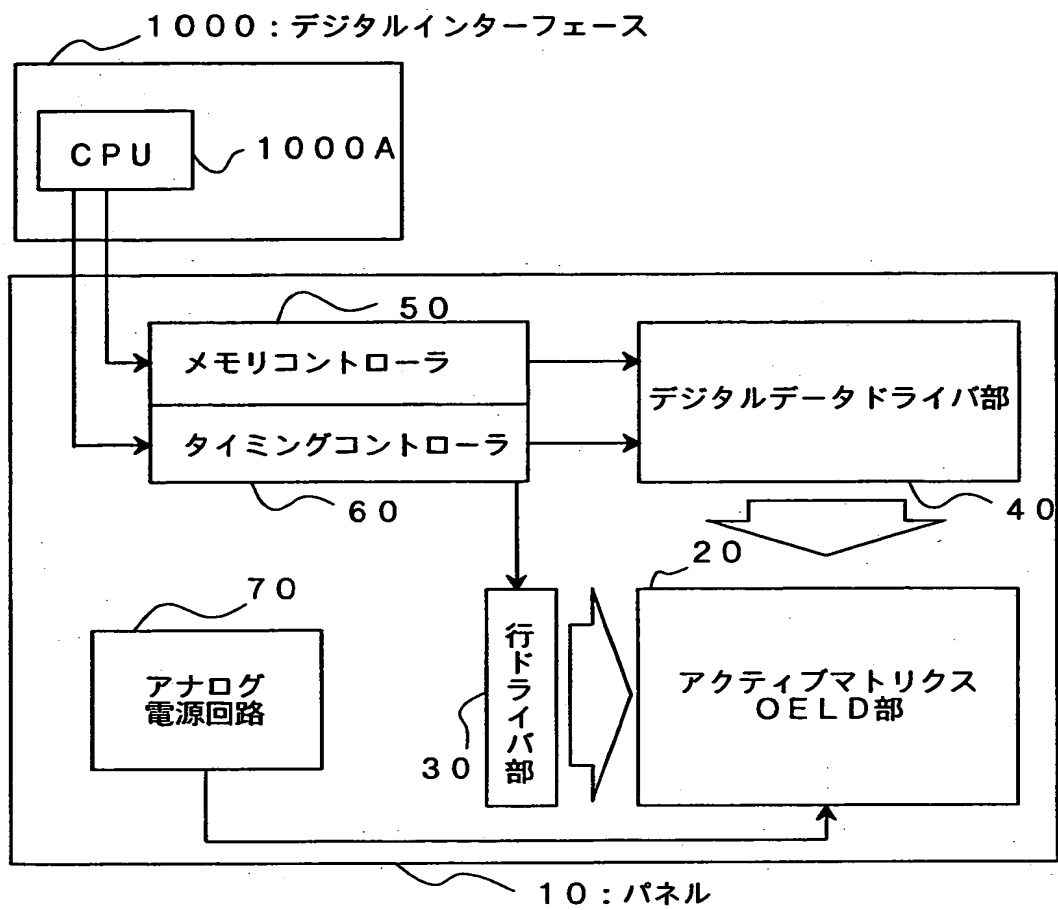
【図 1】



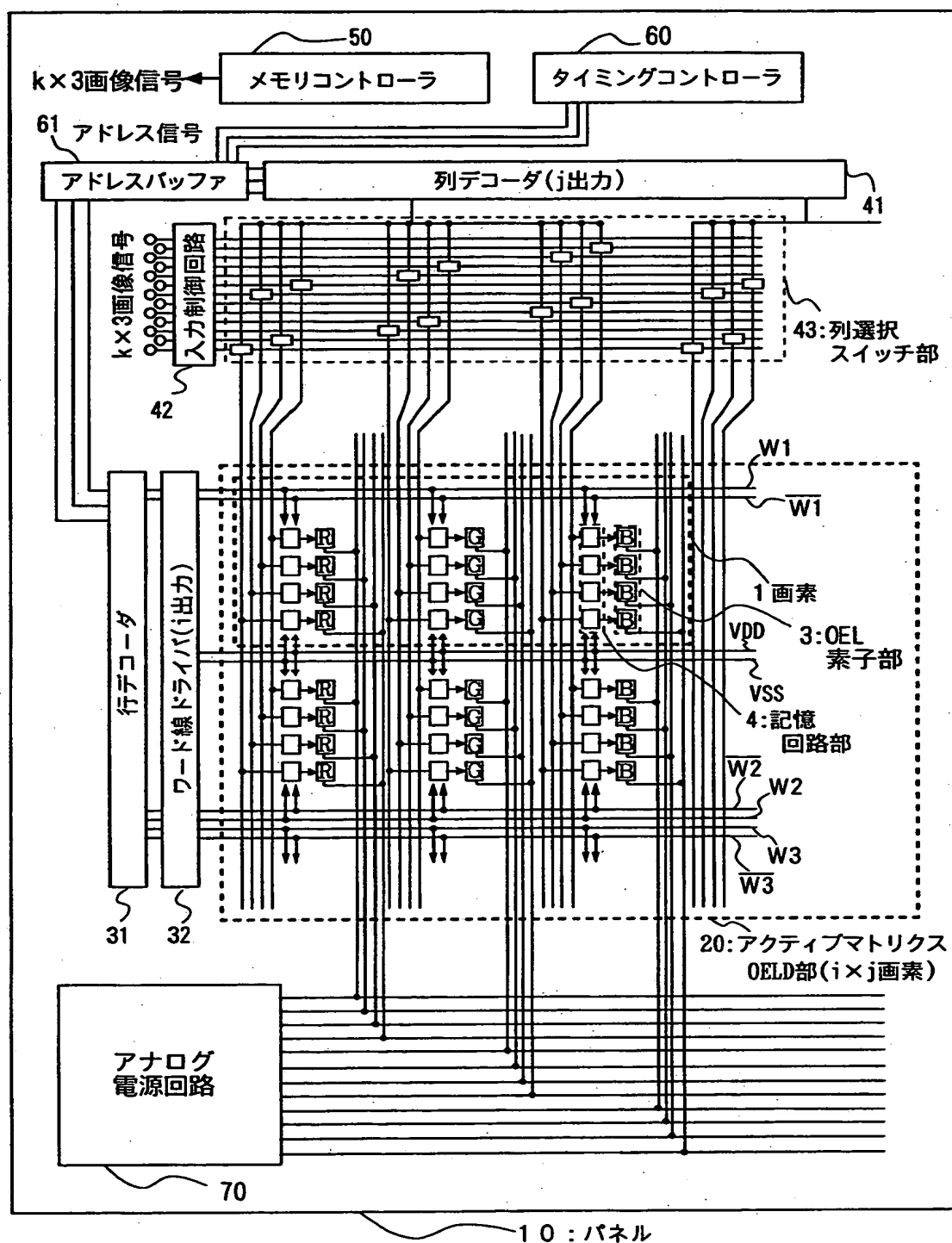
【図 2】



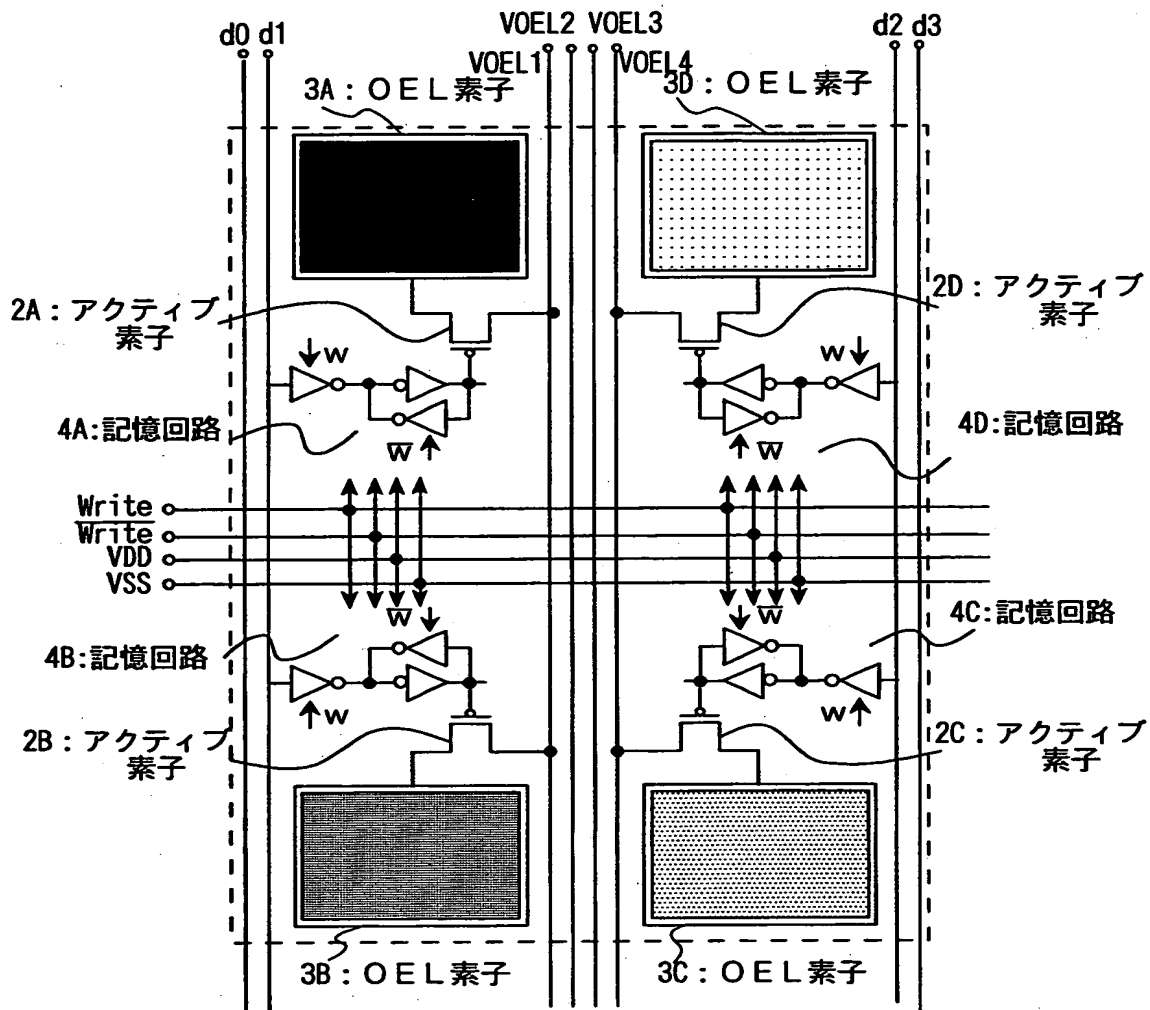
【図3】



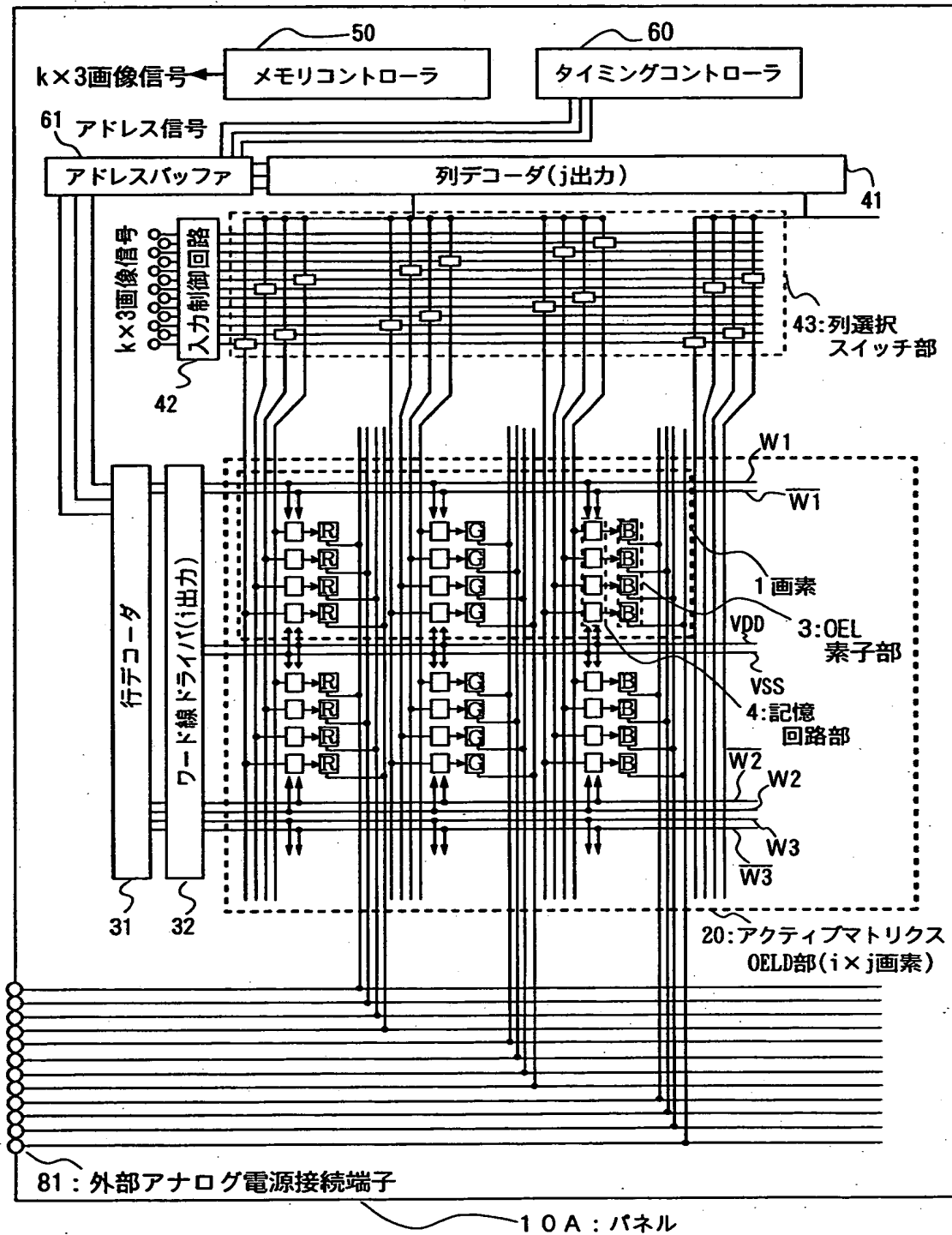
【図 4】



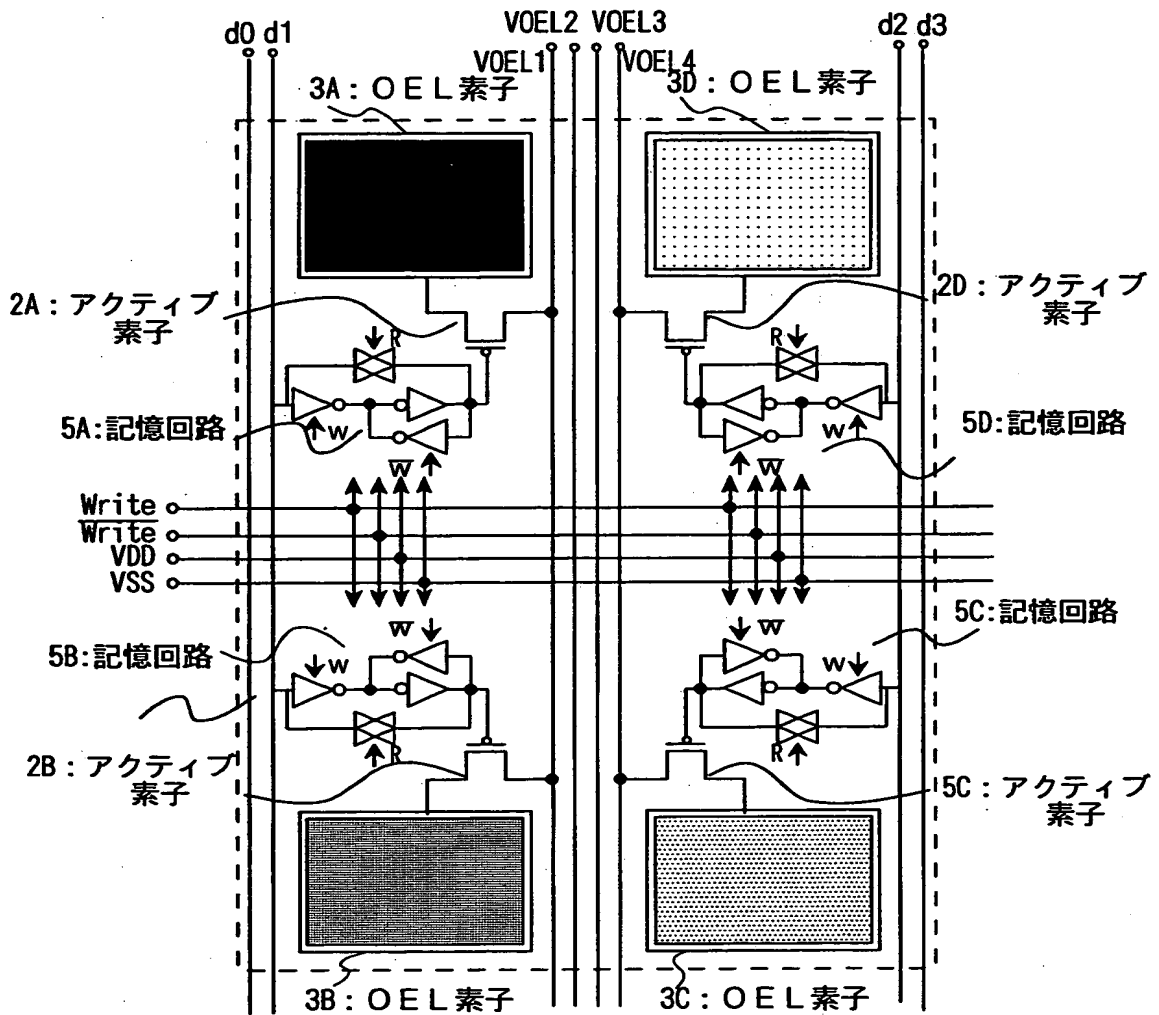
【図 5】



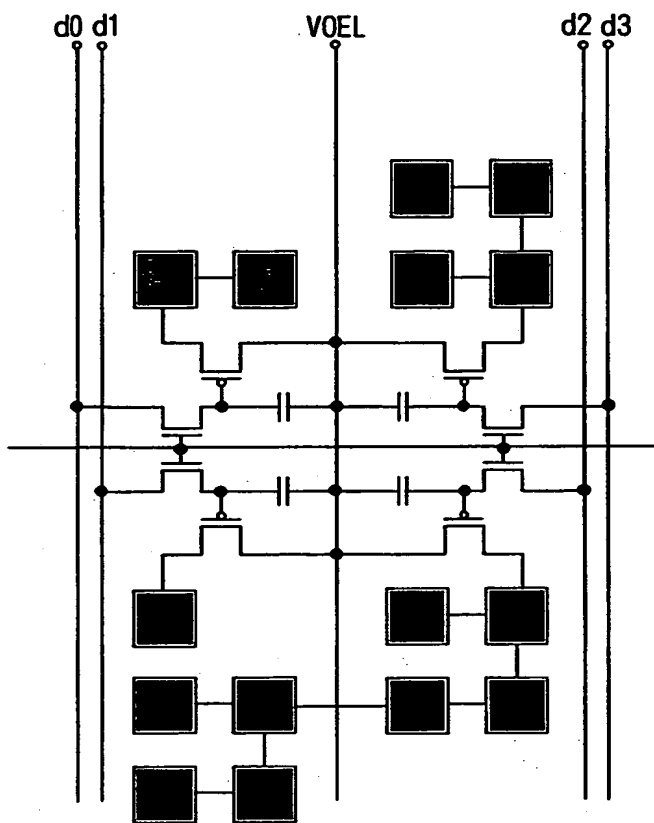
【図 6】



【図 7】



【図 8】



【書類名】 要約書

【要約】

【課題】 各ドット毎の構造を簡単にできるような表示装置を提供する。

【解決手段】 表示の最小単位であるドットのアレイパターンに対応させて配線した複数のWrite線及び複数のデータ線のうち、接続されたライト線及びデータ線の駆動により画像信号を記憶する記憶回路1A、1B、1C及び1Dと、供給される電流量に応じて発光するOEL素子2A、2B、2C及び2Dと、供給される電力に応じた電流量を画像信号の値に基づいて供給し、接続されたEL素子の発光を制御するアクティブ素子3A、3B、3C及び3Dとを組として、 2^n 階調表現するために同一形状のn組を、ドットのアレイパターン内に設け、記憶回路1A、1B、1C及び1Dが記憶する画像信号が示す桁の値に応じた電力を各組に供給する。

【選択図】 図1

出 願 人 履 歴 情 報

識別番号 [000002369]

1. 変更年月日	1990年 8月20日
[変更理由]	新規登録
住 所	東京都新宿区西新宿2丁目4番1号
氏 名	セイコーエプソン株式会社